

CLIPPEDIMAGE= JP404291934A

PAT-NO: JP404291934A

DOCUMENT-IDENTIFIER: JP 04291934 A

TITLE: PSEDOMORPHIC HIGH-ELECTRON-MOBILITY TRANSISTOR OF
STRESS COMPENSATION
TYPE

PUBN-DATE: October 16, 1992

INVENTOR-INFORMATION:

NAME

HIGUCHI, MASAHIKO

IMANISHI, KENJI

ISHIKAWA, TOMONORI

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP03080426

APPL-DATE: March 20, 1991

INT-CL (IPC): H01L021/338;H01L029/812 ;H01L021/20
;H01L021/203

ABSTRACT:

PURPOSE: To properly select the material for a stress compensation layer, to relax the stress of a channel layer, to increase the thickness of a strain-generating critical layer, needless to say, to save the number of sources used to grow individual semiconductor layers and to enhance the productivity, the production ease and the reliability of the title transistor.

CONSTITUTION: An $(Al<SB>0.73</SB>Ga<SB>0.27</SB>)<SB>0.56</SB>In<SB>0.44</SB>$ stress compensation layer 3 is made adjacent to an $In<SB>0.75</SB>Ga<SB>0.25</SB>As$ channel layer 4 whose

lattice constant is large as compared with that of InP so as to relax a stress at the channel layer

4. When the title transistor is manufactured, it is constituted in such a way that the number of sources used to grow crystals caused by a material constituting the stress compensation layer 3 can be saved.

COPYRIGHT: (C)1992, JPO&Japio

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-291934

(43)公開日 平成4年(1992)10月16日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/338				
29/812				
21/20		9171-4M		
21/203	M 8422-4M	7739-4M	H 01 L 29/80	H
				審査請求 未請求 請求項の数1(全5頁)

(21)出願番号 特願平3-80426

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(22)出願日 平成3年(1991)3月20日

(72)発明者 横口 雅彦

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 今西 健治

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 石川 知則

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 柏谷 昭司 (外1名)

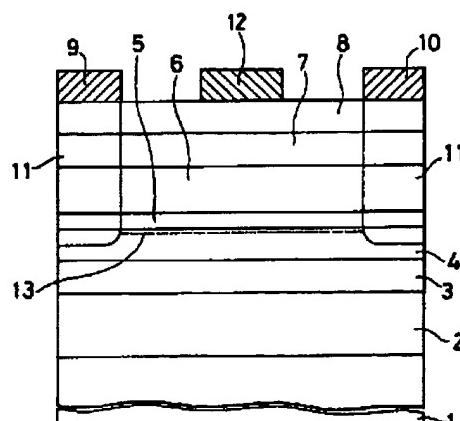
(54)【発明の名称】 応力補償型シード・モルフィック高電子移動度トランジスタ

(57)【要約】

【目的】 本発明は応力補償型シード・モルフィックHEMTに関し、応力補償層の材料を適切に選択し、チャネル層の応力緩和及び歪み発生臨界層厚の増加を可能にするのは勿論のこと、各半導体層を成長させる際に用いるソース源の数を低減し、生産性、製造容易性、信頼性を向上することを目的とする。

【構成】 InPに比較して格子定数が大きいIn_{0.75}Ga_{0.25}Asチャネル層4に(A_{1.07}, Ga_{0.27})_{0.56}In_{0.44}As応力補償層3を隣接させてチャネル層4に於ける応力を緩和し、また、製造する場合、応力補償層3を構成している材料に起因して、結晶成長させる為のソース源の数が少なくて済むように構成されている。

実施例の要部切断側面図



- 1 : InP基板
2 : In_{0.75}Ga_{0.25}Asキャップ層
3 : ソース電極
4 : ドレイン電極
5 : 合金化層
6 : ゲート電極
7 : 二次元電子ガス層

1

【特許請求の範囲】

【請求項1】 InP基板上に形成され且つInPに比較し格子定数が大きいIn_xGa_{1-x}As ($x > 0.53$) チャネル層と、該In_xGa_{1-x}As ($x > 0.53$) チャネル層に隣接して応力を緩和する (Al_{1-x}In_xAs) 応力補償層とを備えてなることを特徴とする応力補償型シユード・モルフィック高電子移動度トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、チャネル層にIn_xGa_{1-x}As ($x > 0.53$) を用いた応力補償型シユード・モルフィック (pseudo-morphic) 高電子移動度トランジスタ (high electron mobility transistor: HEMT) の改良に関する。

【0002】 一般に、InP基板に格子整合したIn_{0.52}Al_{0.48}As、或いは、In_{0.53}Ga_{0.47}Asを材料としてトランジスタ、半導体レーザ、光検知器などを作成した場合、高性能化できることが予見されている為、現在、それ等に対する研究・開発が活発に行われている。特に、応用を高速トランジスタに限った場合、更に高い性能、例えば、電子ピーク速度を大きくするなど、高速性を引き出すためにチャネル層にIn_xGa_{1-x}As ($x > 0.53$) を用いることが考えられている。然しながら、そのようにすると、チャネル層には格子不整合に起因して転位やラフネス (表面荒れ) などの欠陥が発生し、また、エネルギー・バンドも所期のものと異なったものになって特性が変化する場合があるので、その問題を解決しなければならない。尚、本明細書に於いて、結晶を成長させる際の適用技術としては、分子線エピタキシャル成長 (molecular beam epitaxy: MBE) 法を想定している。

【0003】

【従来の技術】 シュード・モルフィックHEMTのチャネル層としてIn_xGa_{1-x}As ($x > 0.53$) を用いた場合、そのx値が大きくなるほど、光学フォノン散乱や合金散乱が減少し、また、Γ-Xバンド間の開き、或いは、Γ-Lバンド間の開きも大きくなり、高出力を得るために高い電圧を印加してもキャリヤが谷間遷移することなく、Γ谷にそのまま存在するので、その有効質量を小さく維持することができる。従って、低電界に於けるキャリヤ移動度が増大し、また、電子ピーク速度も大きくなるなど、特性を向上させることができるのであるが、そのように組成比xを大きくした場合には、勿論、InP基板とは格子整合せず、チャネル層は欠陥発生の原因となる応力を受けることになる。

【0004】 そこで、該応力を補償する為、チャネル層に於ける格子定数のずれと反対にずれた格子定数をもつ半導体層を別設し、結晶全体から見ると応力が緩和され

2

た状態にすることが行われ、In_xGa_{1-x}As ($x > 0.53$) がInPに比較して格子定数が大きいので、応力補償層としてはInPよりも格子定数が小さい半導体層を用いれば良く、通常、In_xGa_{1-x}As ($x < 0.53$) が用いられる。

【0005】

【発明が解決しようとする課題】 前記従来の技術を実施するには、チャネル層と応力補償層とでIn_xGa_{1-x}Asの組成比xが異なること、また、電極とコンタクトさせるためのキャップ層としてはInPと格子整合した方が良いのは当然であり、従って、In_{0.53}Ga_{0.47}Asを用いるとした場合には、Gaソース源及びInソース源の両方について、それぞれ二本が必要になってしまふ。このように、精密な制御が必要とされるソース源の数が多いことは、生産性、信頼性、容易性などの面から見ると好ましいことではない。

【0006】 本発明は、応力補償型シユード・モルフィックHEMTに於いて、その応力補償層を構成する材料を適切に選択し、応力補償層を設けたことに依る本来の効果の達成、即ち、チャネル層に加わる応力を緩和して欠陥の発生がないように、また、歪みが発生する臨界層厚の増加を可能にするなどは勿論のこと、各半導体層を成長させる際のソース源の数を低減し、生産性、製造の容易性、信頼性の向上に寄与しようとする。

【0007】

【課題を解決するための手段】 図1は本発明の原理を説明する為の線図である。図に於いて、(A) はエネルギー・バンド・ダイヤグラム、(B) は格子定数をそれぞれ表し、E_c は伝導帯の底、2はIn_xAl_{1-x}As (例えばIn_{0.52}Al_{0.48}As) パッファ層、3は(A1_{1-x}Ga_x) In_xAs (例えば(A1_{0.73}Ga_{0.27})_{0.58}In_{0.44}As) 応力補償層、4はIn_xGa_{1-x}As (例えばIn_{0.75}Ga_{0.25}As) チャネル層、5はIn_xAl_{1-x}As (例えばIn_{0.52}Al_{0.48}As) スペーサ層、6はIn_xAl_{1-x}As (例えばIn_{0.52}Al_{0.48}As) キャリヤ供給層、7はIn_xAl_{1-x}As (例えばIn_{0.52}Al_{0.48}As) バリヤ層、をそれぞれ示している。尚、キャリヤ供給層6に於けるハッチングはドーピングされていることを表している。

【0008】 ここで、通常、パッファ層2及びキャリヤ供給層6にはInP基板に格子整合するIn_{0.52}Al_{0.48}Asを用いる。また、応力補償層3に於けるA_{1-x}Ga_x、Inの組成はチャネル層4に於ける組成比xに依存し、例えば、チャネル層4の構成材料がIn_{0.85}Ga_{0.15}Asであるとした場合、応力補償層3の構成材料としては(A_{1-x}Ga_x)_{0.584}In_{0.416}Asとなり、この結晶はInPの格子定数よりも小さい格子定数をもつことになる。

【0009】 本発明では、応力補償層3を構成する(A_{1-x}Ga_x)_{0.58}In_{0.44}Asを成長させるには、

3

A1のソース源としてはバッファ層2、スペーサ層5、キャリヤ供給層6、バリヤ層7などを成長させる際に用いるA_{10.48}ソース源を用いれば良く、また、Gaのソース源としてはチャネル層4を成長させる際に用いるGa_{0.25}ソース源をそのまま用いるとA1との兼ね合いで応力補償層3は前記した組成のものとなり、キャップ層としてIn_{0.55}Ga_{0.45}Asを考えた場合にもIn或いはGaのソース源を唯一本増加するのみで良い。

【0010】このように、本発明では応力補償層3及びチャネル層4を成長させるに際し、キャップ層をInPと格子整合するIn_{0.55}Ga_{0.45}Asで構成するとした場合に於いても、In或いはGaのソース源をもう一本用意すれば事足りるものである。

【0011】因みに、従来の技術で、応力補償層を成長させるには、チャネル層及びバッファ層のソース源、即ち、Inソース源を一本、Gaソース源を一本、A1ソース源を一本、の他にIn或いはGaのソース源が必要であり、これにキャップ層も考慮した場合には、Inソース源及びGaソース源のそれぞれ二本ずつが必要となる。このように、応力補償層を構成する材料として、従来のIn_xGa_{1-x}As ($x < 0.53$) を(A1 Ga_{1-x}As) In_xAs、具体的には、例えば(A1_{0.73}Ga_{0.27})_{0.55}In_{0.44}Asに代替すると、HEMTに必要とされる各半導体層を成長させる場合のソース源は、

A1：バッファ層、電子供給層、応力補償層

Ga：チャネル層、応力補償層

In1：チャネル層、応力補償層

In2：キャップ層

As：全層

の5本が必要とされる。これに対し、応力補償層を構成する材料として、従来のIn_xGa_{1-x}As、具体的には、In_{0.40}Ga_{0.60}Asを用いた場合、前記と同じHEMTに必要とされる各半導体層を成長させる場合のソース源は、

A1：バッファ層、電子供給層

Ga1：チャネル層、キャップ層

Ga2：応力補償層

In1：バッファ層、電子供給層、チャネル層、応力補償層

In2：キャップ層

As：全層

の6本が必要になって、1本多いことになる。

【0012】前記したようなことから、本発明に依る応力補償型シード・モルフィックHEMTに於いては、

【0013】InP基板(例えばInP基板1)上に形成され且つInPに比較し格子定数が大きいIn_xGa_{1-x}As ($x > 0.53$) チャネル層(例えばIn_{0.75}Ga_{0.25}Asチャネル層、)と、該In_xGa_{1-x}As ($x > 0.53$) チャネル層に隣接して応力を緩和する

50 厚さ: 1000 Å

4

(A1 Ga_{1-x}As) In_xAs 応力補償層(例えば(A1_{0.73}Ga_{0.27})_{0.55}In_{0.44}As 応力補償層、)とを備えてなる。

【0014】

【作用】本発明では、図1に見られるように、チャネル層4に隣接して応力補償層3を設けてあるので、チャネル層4の構成材料としてx値が大きい、即ち、基板と格子整合しないものであっても、結晶全体から見れば応力が緩和され、チャネル層4に加わる応力も補償されるようになっていて、応力補償層3を設けたことに依る本来的な利点は、通常の場合と同様、全て享受することができる。これに加え、本発明では、応力補償層3の構成材料を適切に選択することで、従来の技術に依って応力補償層を形成する場合と比較し、結晶を成長させる際のソース源の数を低減させることができ、従って、ソース源の制御が簡単になり、この種のHEMTに関する生産性、製造の容易性、信頼性は大きく向上する。

【0015】

【実施例】図2は本発明一実施例である応力補償型シード・モルフィックHEMTを説明する為の要部切断側面図を表している。図に於いて、1はInP基板、2はIn_{0.52}Al_{0.48}Asバッファ層、3は(A1_{0.73}Ga_{0.27})_{0.55}In_{0.44}As応力補償層、4はIn_{0.75}Ga_{0.25}Asチャネル層、5はIn_{0.52}Al_{0.48}Asスペーサ層、6はn-In_{0.52}Al_{0.48}Asキャリヤ(ここで電子)供給層、7はIn_{0.52}Al_{0.48}Asバリヤ層、8はIn_{0.55}Ga_{0.45}Asキャップ層、9はソース電極、10はドレイン電極、11は合金化領域、12はゲート電極、13は二次元電子ガス層、をそれぞれ示している。

【0016】この実施例は、従来から多用されているHEMTの製造技術を適用して容易に実現することができる。

(1) MBE法を適用することに依り、基板1上にバッファ層2、応力補償層3、チャネル層4、スペーサ層5、キャリヤ供給層6、バリヤ層7、キャップ層8を成長させる。ここで成長させた各半導体層に関する主要なデータを例示すると次の通りである。

① バッファ層2について

40 厚さ: 3000 Å

② 応力補償層3について

厚さ: 50 Å

③ チャネル層4について

厚さ: 200 Å

④ スペーサ層5について

厚さ: 50 Å

⑤ キャリヤ供給層6について

不純物: Si

不純物濃度: 5×10^{18} [cm⁻³]

50 厚さ: 1000 Å

thicknesses

5

⑥ パリヤ層7について

厚さ：250 [Å]

⑦ キャップ層8について

厚さ：300 [Å]

【0017】(2) フォト・リソグラフィ技術に於けるレジスト・プロセス、真空蒸着法、リフト・オフ法を適用することに依り、ソース電極9、ドレイン電極10を形成する。ここで形成した各電極に関する主要なデータを例示すると次の通りである。

材料：AuGe/Au

(Geは12 [%])

厚さ：1000 [Å] / 2000 [Å]

【0018】(3) 温度350 [℃]、時間1 [分]の熱処理を行って表面から二次元電子ガス層13に達する合金化領域11を形成する。

【0019】(4) フォト・リソグラフィ技術に於けるレジスト・プロセス、真空蒸着法、リフト・オフ法を適用することに依り、A1からなる厚さ3000 [Å]のゲート電極12を形成する。

【0020】このようにして製造された応力補償型ショード・モルフィックHEMTが製造が容易であるなどの所期の目的を達成し、また、チャネル層4に加わる応力が緩和されていることは云うまでもない。

【0021】本発明に於いても、応力補償層3の組成は、チャネル層4の組成に影響を受けることは勿論であつて、例えば、

(A)

チャネル層4：In_{0.80}Ga_{0.2}As応力補償層3：(Al_{0.78}Ga_{0.22})_{0.54}In_{0.46}As

(B)

チャネル層4：In_{0.85}Ga_{0.15}As応力補償層3：(Al_{0.825}Ga_{0.175})_{0.524}In_{0.476}As

などの組み合わせがあり、何れも、ソース源の数は從来

6

の技術に比較して少なくなる。

【0022】

【発明の効果】本発明に依る応力補償型ショード・モルフィックHEMTに於いては、InPに比較して格子定数が大きいIn_xGa_{1-x}As (x>0.53) チャネル層に対し、(Al_{1-x}Ga_x)_{1-n}In_nAs 応力補償層を隣接させた構成にしてある。

【0023】前記構成を探ることに依り、従来の技術に依って応力補償型ショード・モルフィックHEMTを製造する場合に比較して結晶を成長させる際のソース源の数を低減させることができ、従って、ソース源の制御が簡単になり、この種のHEMTに関する生産性、製造の容易性、信頼性を大きく向上させることができる。

【図面の簡単な説明】

【図1】本発明の原理を説明する為の線図である。

【図2】本発明一実施例である応力補償型ショード・モルフィックHEMTを説明する為の要部切断側面図である。

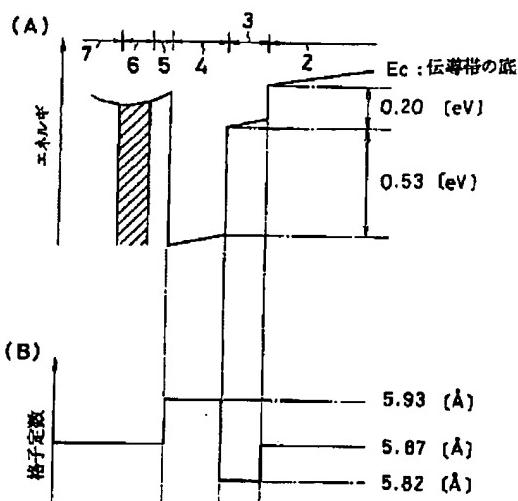
【符号の説明】

- | | |
|----|--|
| 20 | 1 InP基板 |
| | 2 In _{0.52} Al _{0.48} Asバッファ層 |
| | 3 (Al _{0.73} Ga _{0.27}) _{0.56} In _{0.44} As 応力補償層 |
| | 4 In _{0.75} Ga _{0.25} Asチャネル層 |
| | 5 In _{0.52} Al _{0.48} Asスペーサ層 |
| | 6 n-In _{0.52} Al _{0.48} Asキャリヤ (ここでは電子) 供給層 |
| | 7 In _{0.52} Al _{0.48} Asパリヤ層 |
| | 8 In _{0.55} Ga _{0.45} Asキャップ層 |
| | 9 ソース電極 |
| 30 | 10 ドレイン電極 |
| | 11 合金化領域 |
| | 12 ゲート電極 |
| | 13 二次元電子ガス層 |

30

【図1】

原理を説明する為の線図

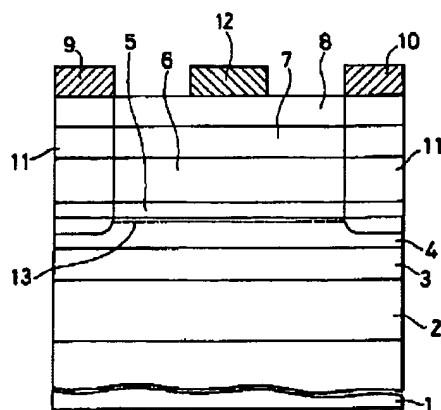


~~200 Å~~
~~50 Å~~

2 : In_{0.52}Al_{0.48}Asバッファ層
 3 : (Al_{0.73}Ga_{0.27})_{0.55}In_{0.44}As応力補償層
 4 : In_{0.73}Ga_{0.27}Asチャネル層
 5 : In_{0.52}Al_{0.48}Asスペーサ層
 6 : n-In_{0.52}Al_{0.48}Asキャリア供給層
 7 : In_{0.52}Al_{0.48}Asバリヤ層

【図2】

実施例の要部切断面図



- 1 : InP基板
- 2 : In_{0.52}Al_{0.48}Asキャップ層
- 3 : ソース電極
- 4 : ドレイン電極
- 5 : 合金化領域
- 6 : ゲート電極
- 7 : 二次元電子ガス層